

# Logos FPGA 开发平台 用户手册

## AXP12 开发板



文档版本控制

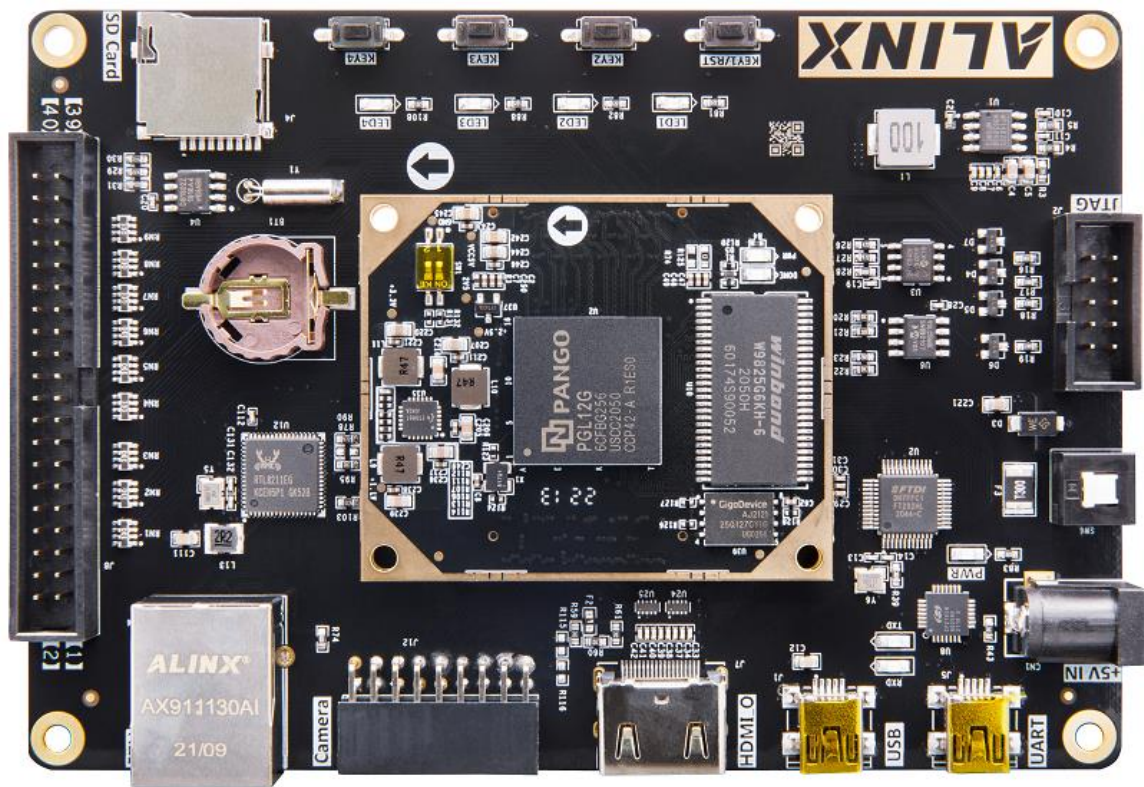
| 文档版本   | 修改内容记录 |
|--------|--------|
| REV1.0 | 创建文档   |
|        |        |
|        |        |
|        |        |
|        |        |
|        |        |
|        |        |

## 目 录

|                        |    |
|------------------------|----|
| 文档版本控制 .....           | 2  |
| 一、 开发板简介 .....         | 5  |
| 二、 FPGA 核心板.....       | 7  |
| (一) 简介 .....           | 7  |
| (二) FPGA.....          | 8  |
| (三) 有源晶振.....          | 10 |
| (四) SDRAM .....        | 10 |
| (五) QSPI Flash.....    | 13 |
| (六) LED 灯 .....        | 14 |
| (七) 扩展接口 .....         | 15 |
| (八) 电源 .....           | 18 |
| (九) 结构图 .....          | 20 |
| 三、 扩展板 .....           | 21 |
| (一) 简介 .....           | 21 |
| (二) 千兆以太网接口 .....      | 22 |
| (三) HDMI 输出接口 .....    | 24 |
| (四) USB2.0 通信接口.....   | 25 |
| (五) SD 卡槽.....         | 27 |
| (六) USB 转串口.....       | 28 |
| (七) EEPROM 24LC04..... | 29 |
| (八) 实时时钟 DS1302 .....  | 30 |
| (九) 扩展口 .....          | 31 |
| (十) JTAG 接口.....       | 33 |
| (十一) 摄像头接口.....        | 34 |
| (十二) 按键 .....          | 36 |
| (十三) LED 灯 .....       | 37 |
| (十四) 供电电源.....         | 38 |
| (十五) 结构图 .....         | 39 |

紫光同创 Logos 系列的 FPGA 开发平台（型号：AXP12）正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 Logos 系列 FPGA 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。在底板设计上我们设计了丰富的外围接口，比如千兆以太网接口，HDMI 输出接口，USB2.0 通信接口，Uart 通信接口，SD 卡接口，RTC 电路等等。满足用户各种高速数据传输，视频图像处理和工业控制的要求，是一款“全能级”的 FPGA 开发平台。为高速视频传输，网络和 USB 通信及数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



## 一、 开发板简介

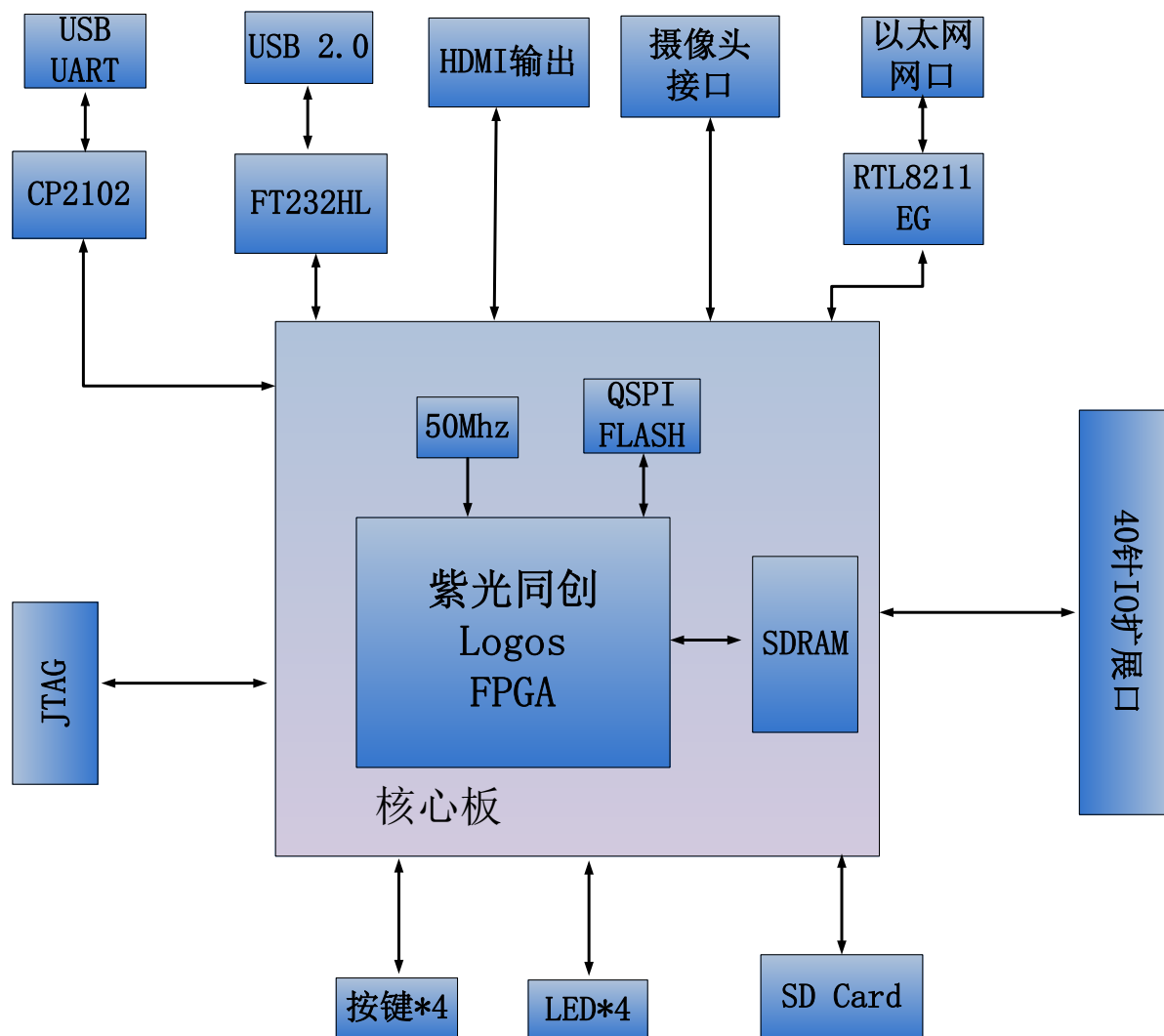
在这里，对这款 Logos FPGA 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

开发板的核心部分主要由 FPGA + SDRAM + QSPI FLASH 构成，承担 FPGA 高速数据处理和存储的功能，SDRAM 时钟频率高达 133Mhz，数据位宽为 16 位，容量高达 32MB，能够满足数据处理过程中对高缓冲区的需求。我们选用的 FPGA 为紫光同创公司的 **PGL12G6CFBG256** 芯片，FPGA 是 FBG256 封装。

底板为核心板扩展了丰富的外围接口，其中包含 1 路千兆以太网接口、1 路 HDMI 输出接口、1 路 USB2.0 接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 JTAG 调试接口、一个摄像头接口、1 路 40 针的扩展口和一些按键，LED，RTC 和 EEPROM 电路。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- AXP12 核心板

由 AXP12+1 片 32MB SDRAM+64Mb QSPI FLASH 组成，另外板上有一个高精度的 50Mhz 晶振，为 FPGA 系统提供稳定的时钟输入。

- 一路 10/100M/1000M 以太网 RJ-45 接口

千兆以太网接口芯片采用 Realtek 公司的 RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率；全双工和自适应。

- 一路 HDMI 输出

使用 FPGA 的 4 路 LVDS 差分信号（3 路数据加 1 路时钟）接口直接驱动 HDMI 输出，为开发板提供不同格式的视频输出接口。

- 一路高速 USB2.0 接口

使用 FTDI Chip 公司的 FT232H 单通道 USB 芯片，可用于开发板和 PC 之间的 USB2.0 高速通信，最高速度达 480Mb/s。

- 一路 USB Uart 接口

一路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片。

- Micro SD 卡座

一路 Micro SD 卡座，支持 SPI 模式。

- EEPROM

板载一片 IIC 接口的 EEPROM 24LC04。

- RTC 实时时钟

一路 RTC 实时时钟，配有电池座，电池的型号为 CR1220。

- 40 针扩展口

预留 1 个 40 针 2.54mm 间距的扩展口，可以外接的各种模块（双目摄像头，TFT LCD 屏，高速 AD 模块等等）。扩展口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。

- CMOS 接口

一个 18 针的摄像头接口，可以接 500 万 OV5640 摄像头。

- JTAG 口

10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试。

- 按键和 LED 灯

4 个用户按键，5 个用户发光二极管 LED（1 个在核心板，4 个在扩展板）。



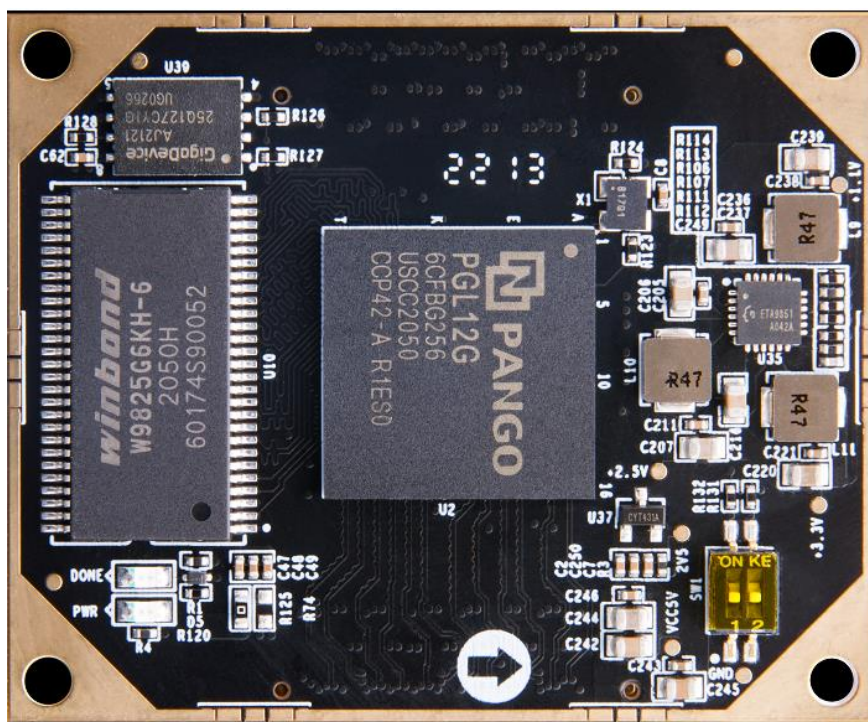
## 二、FPGA 核心板

### (一) 简介

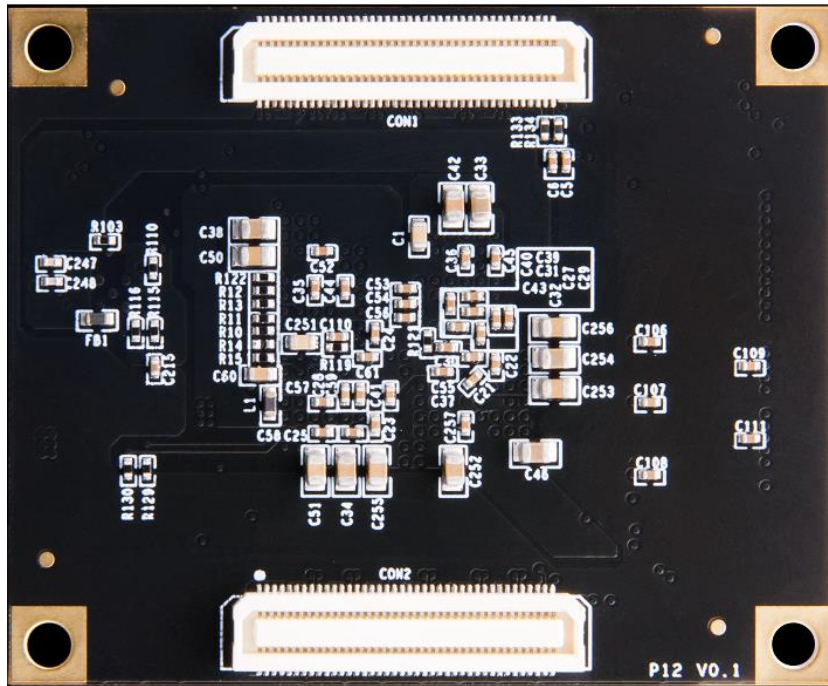
P12(核心板型号, 下同)核心板, 是紫光同创公司开发的 Logos 系列 FPGA 高性能核心板, 具有高速, 高带宽, 高容量等特点, 适合高速数据通信, 视频图像处理, 高速数据采集等方面使用。

这款核心板使用了 1 片 winbond 公司的 W9825G6 这款 SDRAM 芯片; DDR3 芯片和 FPGA 芯片总线宽度为 16bit, 数据时钟频率高达 133Mhz; 这样的配置, 可以满足高大部分数据处理的需求。板上的 64Mb QSPI FLASH 芯片的型号为 W25Q64, 用于存储 FPGA 系统的启动文件。

这款核心板扩展出 106 个 FPGA 的 IO 口(默认 3.3V 电平标准), 其中有 40 个 IO 可以通过修改核心板上的 LDO 芯片来改变电平标准。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且, FPGA 芯片到接口之间走线做了等长走线处理, 并且核心板尺寸仅为 45\*55 (mm), 对于二次开发来说非常适合。



P12 核心板正面图



P12 核心板背面图

## (二) FPGA

前面已经介绍过了, 我们所使用的 FPGA 型号为 **PGL12G6CFBG256**, 属于 紫光同创公司的 Logos 系列产品, 速度等级为-6, 温度等级为商业级 C。此型号为 **FBG256** 封装, 256 个引脚。Logos 系列 FPGA 命名规则如图所示。

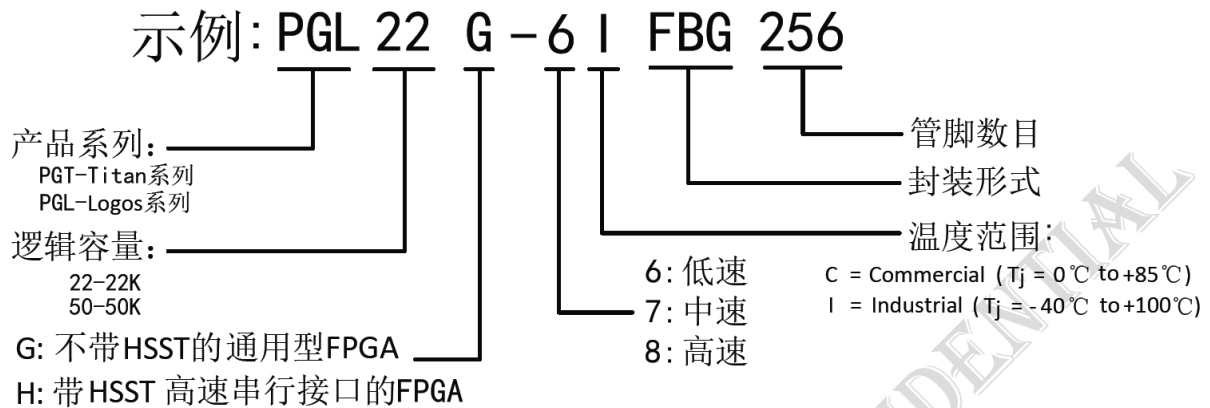


图 2-2-1 为开发板所用的 FPGA 芯片实物图。





图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 PGL12G 的主要参数如下所示：

|        | 器件型号               |        | PGL12G         | PGL22G           | PGL22GS  | PGL25G    | PGL50G    | PGL50H    |
|--------|--------------------|--------|----------------|------------------|----------|-----------|-----------|-----------|
| 逻辑资源   | 等效 LUT4            |        | 12480          | 21043            | 21043    | 27072     | 51360     | 51360     |
|        | Flip-Flops (个)     |        | 15600          | 26304            | 26304    | 33840     | 64200     | 64200     |
| RAM 资源 | 分布式 RAM(Kbit)      |        | 85             | 70               | 70       | 242       | 544       | 544       |
|        | 块 RAM 数量(18Kbit/块) |        | 30             | 48               | 48       | 60        | 134       | 134       |
|        | 块 RAM(Kbit)        |        | 540            | 864              | 864      | 1080      | 2412      | 2412      |
| 时钟资源   | PLL                |        | 4              | 6                | 6        | 4         | 5         | 5         |
| IO 资源  | 最大用户 IO            |        | 160            | 240              | 140      | 308       | 341       | 304       |
|        | 最大差分 IO(对)         |        | 80             | 120              | 68       | 154       | 170       | 152       |
|        | DDR3 (Mbps)        |        | 800            | 800 <sup>#</sup> | 800      | 800       | 800       | 800       |
| 硬核资源   | APM(18*18)         |        | 20             | 30               | 30       | 40        | 84        | 84        |
|        | ADC 硬核             |        | 1              | 1                | —        | —         | —         | —         |
|        | PCIe Gen2x4        |        | —              | —                | —        | —         | —         | 1         |
|        | AES 模块             |        | 1              | 1                | 1        | 0         | 1         | 1         |
|        | HSST(6.375Gbps)    |        | —              | —                | —        | —         | —         | 4         |
| 封装     | 尺寸(mm)             | 间距(mm) | 用户 IO/差分对/HSST |                  |          |           |           |           |
| LPG144 | 22 x 22            | 0.5    | 103/51/0       |                  |          |           |           |           |
| FBG256 | 17 x 17            | 1.0    | 160/80/0       | 186/93/0         |          | 186/93/0  |           |           |
| MBG324 | 15 x 15            | 0.8    |                | 240/120/0        |          | 226/113/0 | 218/109/0 | 190/85/4  |
| LPG176 | 22 x 22            | 0.4    |                |                  | 140/68/0 |           |           |           |
| MBG484 | 19 x 19            | 0.8    |                |                  |          |           | 320/160/0 | 304/152/4 |
| FBG484 | 23 x 23            | 1.0    |                |                  |          | 308/154/0 | 340/170/0 | 296/148/4 |
| FBG900 | 31 x 31            | 1.0    |                |                  |          |           |           |           |

## FPGA 供电系统

紫光同创 Logos FPGA 电源有 VCC, VCCIO L0, VCCIO L1, VCCIO R0, VCCIO R1, VCCAUX。VCC 为 FPGA 内核供电引脚，需接+1.1V；VCCAUX 为 FPGA 辅助供电引脚，接 3.3V；VCCIO L0, VCCIO L1, VCCIO R0, VCCIO R1 为 FPGA 的各个 BANK 的电压，包含 BANK L0~L1, BANK R0~R1，在 PGL12G 板上，BANK L0, BANK L1、BANK R0 连接的都是 3.3V，其中 BANK R1 的 VCCIO 电压可以通过跳电阻更改 BANK 的电平。

### (三) 有源晶振

AXP12 核心板上配有一个 50Mhz 的有源晶振，用于 FPGA 的系统主时钟。晶振输出连接到 FPGA 的时钟输入管脚(Pin B5)，这个时钟可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLLs 来实现更高的时钟。

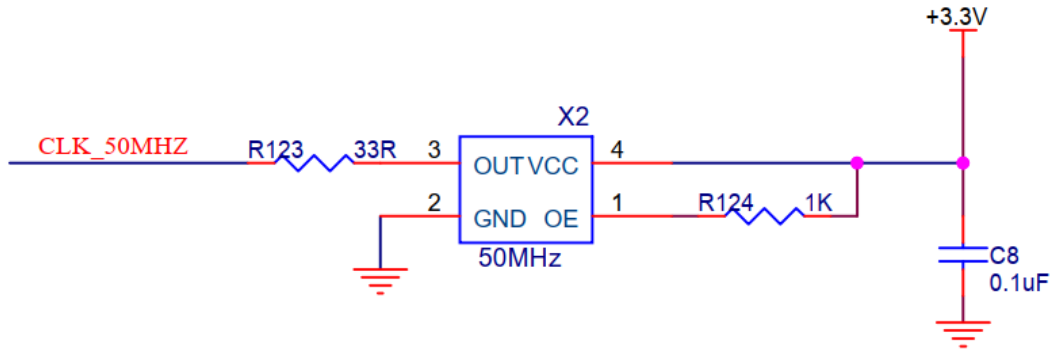


图 2-3-1 50Mhz 有源晶振

图 2-3-2 为 50Mhz 有源晶振实物图



图 2-3-2 50M 有源晶振实物图

时钟引脚分配:

| 时钟网络名称    | FPGA 引脚 |
|-----------|---------|
| CLK_50MHZ | B4      |

### (四) SDRAM

开发板板载了一片 winbond 的 SDRAM 芯片,型号: W9825G6, 容量: 256Mbit (16M\*16bit), 16bit 总线。SDRAM 可用于数据缓存, 比如摄像头采集到的数据, 暂存到 SDRAM 中, 然后通过 HDMI 接口进行显示。这里面 SDRAM 就是用于数据缓存的。管脚连接到了 FPGA 的 BANK L1 上。SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 SDRAM 配置

| 位号  | 芯片类型        | 容量          | 厂家      |
|-----|-------------|-------------|---------|
| U10 | W9825G6KH-6 | 16M x 16bit | winbond |

SDRAM 的硬件连接示意图如图 2-4-1 所示:

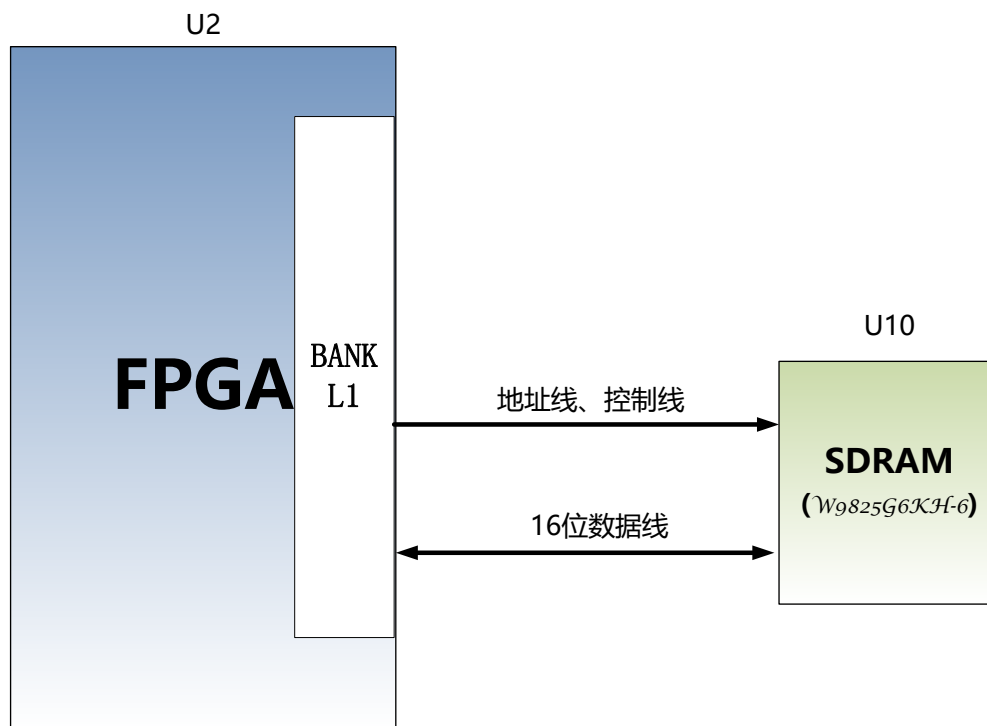


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 SDRAM 实物图



图2-4-2 DDR3 DRAM实物图

SDRAM 引脚分配:

| 引脚名称  | FPGA 引脚 |
|-------|---------|
| S_CLK | N4      |
| S_CKE | N3      |
| S_NCS | R2      |
| S_NWE | T4      |

|        |    |
|--------|----|
| S_NCAS | R3 |
| S_NRAS | T3 |
| S_DQM0 | R4 |
| S_DQM1 | L4 |
| S_BA0  | T2 |
| S_BA1  | R1 |
| S_A0   | P1 |
| S_A1   | N1 |
| S_A2   | M1 |
| S_A3   | L1 |
| S_A4   | K1 |
| S_A5   | K2 |
| S_A6   | K3 |
| S_A7   | L2 |
| S_A8   | L3 |
| S_A9   | M2 |
| S_A10  | T1 |
| S_A11  | N2 |
| S_A12  | P2 |
| S_DB0  | R8 |
| S_DB1  | T8 |
| S_DB2  | R7 |
| S_DB3  | T7 |
| S_DB4  | R6 |
| S_DB5  | T6 |
| S_DB6  | R5 |
| S_DB7  | T5 |
| S_DB8  | P5 |
| S_DB9  | N5 |
| S_DB10 | P6 |
| S_DB11 | M5 |
| S_DB12 | L5 |

|        |    |
|--------|----|
| S_DB13 | K5 |
| S_DB14 | K6 |
| S_DB15 | J6 |

## (五) QSPI Flash

核心板上使用了一片 64Mbit 大小的 QSPI FLASH 芯片，型号为 W25Q64，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 除了用作存储 FPGA 配置文件外还可以存储其它的用户数据文件。

SPI FLASH 的具体型号和相关参数见下表

| 位号  | 芯片类型   | 容量      | 厂家     |
|-----|--------|---------|--------|
| U39 | W25Q64 | 64M Bit | winbow |

表2-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK L0 的专用管脚上

配置芯片引脚分配：

| 信号名称     | FPGA 引脚名                 | FPGA 管脚号 |
|----------|--------------------------|----------|
| QSPI_CLK | DIFFIO_L0_3_N/CFG_CLK    | A8       |
| QSPI_CS  | DIFFIO_L0_4_P/FCS_N      | D10      |
| QSPI_DQ0 | DIFFIO_L0_12_P/D0        | B3       |
| QSPI_DQ1 | DIFFIO_L0_12_N/RRN_L0/D1 | A3       |
| QSPI_DQ2 | DIFFIO_L0_13_P/RRP_L0/D2 | D5       |
| QSPI_DQ3 | DIFFIO_L0_13_N/D3        | D6       |

图 2-5-2 为开发板上 QSPI Flash 的实物图



图 2-5-2 QSPI FLASH 部分实物图

## (六) LED 灯

AXP12 核心板上有 2 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，另一个是配置 LED 灯(DONE)。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯 (DONE) 也会亮起。LED 灯硬件连接的示意图如图 2-6-1 所示：

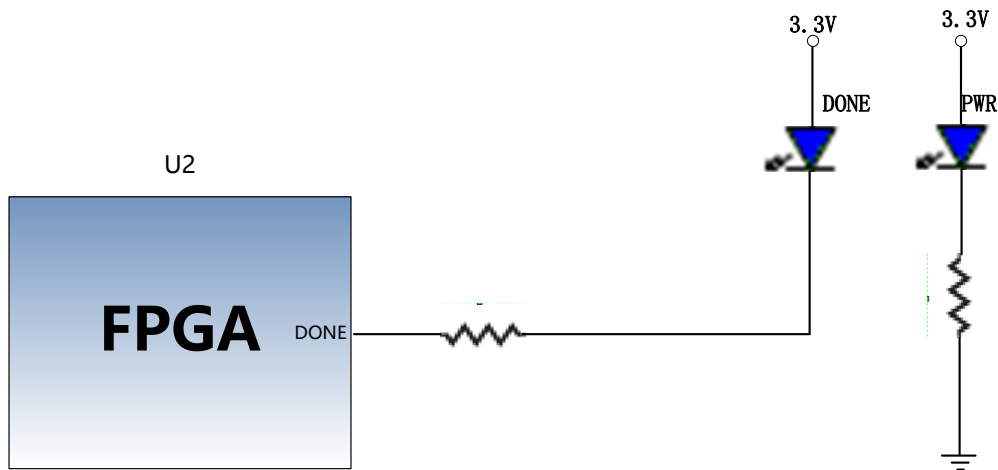
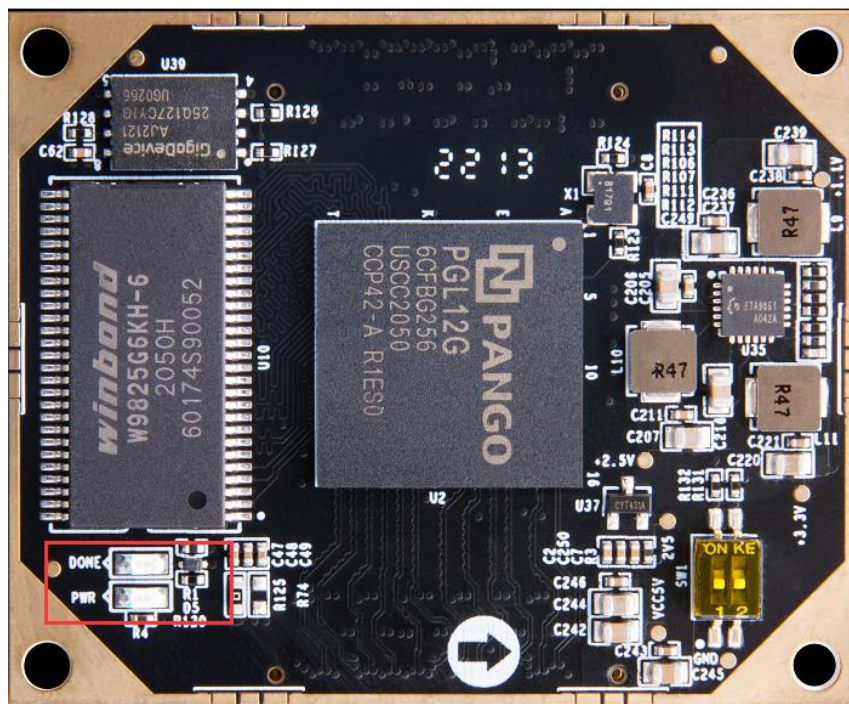


图 2-6-1 核心板 LED 灯硬件连接示意图

图 2-6-2 为核心板上的 LED 灯实物图





## (七) 扩展接口

核心板的背面一共扩展出 2 个高速扩展口，使用 2 个 80Pin 的板间连接器和底板连接，FPGA 的 IO 口和差分信号通过通过这 2 个扩展口跟底板连接。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器连接来实现核心板和底板的高速数据通信。

### 扩展口 CON1

80Pin 的连接器 CON1 用来连接 FPGA 的普通 IO，默认 IO 的电平标准为 3.3V。同时引出 FPGA 内部 ADC 模块管脚，CON1 扩展口的管脚分配如表 2-7-1 所示：

2-7-1 表：扩展口 CON1 引脚分配

| CON1<br>管脚 | 信号<br>名称 | FPGA<br>管脚号 | 输入/<br>输出 | CON1<br>管脚 | 信号<br>名称 | FPGA<br>管脚号 | 输入/<br>输出 |
|------------|----------|-------------|-----------|------------|----------|-------------|-----------|
| PIN1       | L0_16_N  | A1          | I/O       | PIN2       | L0_11_P  | B9          | I/O       |
| PIN3       | L0_16_P  | B1          | I/O       | PIN4       | L0_11_N  | A9          | I/O       |
| PIN5       | L0_14_N  | A2          | I/O       | PIN6       | L0_4_N   | C10         | I/O       |
| PIN7       | L0_14_P  | B2          | I/O       | PIN8       | L0_6_N   | A10         | I/O       |
| PIN9       | GND      | -           | 地         | PIN10      | GND      | -           | 地         |
| PIN11      | L0_18_N  | C2          | I/O       | PIN12      | L0_10_N  | A4          | I/O       |
| PIN13      | L0_18_P  | C1          | I/O       | PIN14      | L0_7_P   | B6          | I/O       |
| PIN15      | L0_17_N  | E3          | I/O       | PIN16      | L0_0_P   | E7          | I/O       |
| PIN17      | L0_17_P  | E4          | I/O       | PIN18      | L0_0_N   | F6          | I/O       |
| PIN19      | GND      | -           | 地         | PIN20      | GND      | -           | 地         |
| PIN21      | L0_19_N  | F3          | I/O       | PIN22      | L0_8_P   | D7          | I/O       |
| PIN23      | L0_19_P  | F4          | I/O       | PIN24      | L0_8_N   | C7          | I/O       |
| PIN25      | L0_15_P  | D4          | I/O       | PIN26      | L0_9_P   | B5          | I/O       |
| PIN27      | L0_15_N  | C4          | I/O       | PIN28      | L0_9_N   | A5          | I/O       |
| PIN29      | GND      | -           | 地         | PIN30      | GND      | -           | 地         |
| PIN31      | L0_2_N   | G5          | I/O       | PIN32      | R0_17_N  | J10         | I/O       |
| PIN33      | L0_2_P   | F5          | I/O       | PIN34      | R0_17_P  | H10         | I/O       |
| PIN35      | L0_1_N   | H6          | I/O       | PIN36      | R0_5_N   | G10         | I/O       |
| PIN37      | L0_1_P   | G6          | I/O       | PIN38      | R0_5_P   | G11         | I/O       |
| PIN39      | GND      | -           | 地         | PIN40      | GND      | -           | 地         |

|       |         |     |     |       |         |     |     |
|-------|---------|-----|-----|-------|---------|-----|-----|
| PIN41 | R1_5_N  | L12 | I/O | PIN42 | R0_19_N | J11 | I/O |
| PIN43 | R1_5_P  | L11 | I/O | PIN44 | R0_19_P | J12 | I/O |
| PIN45 | GND     | -   | 地   | PIN46 | R1_2_N  | K12 | I/O |
| PIN47 | R1_19_N | N11 | I/O | PIN48 | R1_2_P  | K11 | I/O |
| PIN49 | R1_19_P | N12 | I/O | PIN50 | R1_6_N  | L13 | I/O |
| PIN51 | GND     | -   | 地   | PIN52 | GND     | -   | 地   |
| PIN53 | R1_8_N  | P13 | I/O | PIN54 | R1_6_P  | L14 | I/O |
| PIN55 | R1_8_P  | N13 | I/O | PIN56 | R1_18_N | T12 | I/O |
| PIN57 | GND     | -   | 地   | PIN58 | R1_18_P | R12 | I/O |
| PIN59 | R1_16_N | T13 | I/O | PIN60 | R1_13_N | T11 | I/O |
| PIN61 | R1_16_P | R13 | I/O | PIN62 | R1_13_P | R11 | I/O |
| PIN63 | GND     | -   | 地   | PIN64 | GND     | -   | 地   |
| PIN65 | R1_15_N | T10 | I/O | PIN66 | R1_14_N | T14 | I/O |
| PIN67 | R1_15_P | R10 | I/O | PIN68 | R1_14_P | R14 | I/O |
| PIN69 | GND     | -   | 地   | PIN70 | NC      | -   | 空脚  |
| PIN71 | R1_17_N | T9  | I/O | PIN72 | NC      | -   | 空脚  |
| PIN73 | R1_17_P | R9  | I/O | PIN74 | NC      | -   | 空脚  |
| PIN75 | GND     | -   | 地   | PIN76 | GND     | -   | 地   |
| PIN77 | NC      | -   | 空脚  | PIN78 | VA0     | E8  | AD  |
| PIN79 | NC      | -   | 空脚  | PIN80 | VA1     | F8  | AD  |

图 2-7-1 为 CON1 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

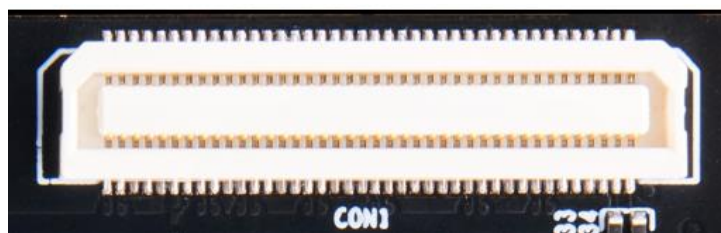


图 2-7-1 CON1 扩展口连接器的实物图

### 扩展口 CON2

80Pin 的连接器 CON2 用来连接核心板的+5V 电源, JTAG 接口信号和 FPGA 的普通 IO 口连接到底板, IO 的电压标准默认都是 3.3V 的。CON2 扩展口的管脚分配如表 2-10-2 所示:

2-7-2 表：扩展口 CON2 引脚分配

| CON2<br>管脚 | 信号<br>名称 | FPGA<br>管脚号 | 输入/<br>输出 | CON2<br>管脚 | 信号<br>名称 | FPGA<br>管脚号 | 输入/<br>输出 |
|------------|----------|-------------|-----------|------------|----------|-------------|-----------|
| PIN1       | +5V      | -           | 电源        | PIN2       | +5V      | -           | 电源        |
| PIN3       | +5V      | -           | 电源        | PIN4       | +5V      | -           | 电源        |
| PIN5       | +5V      | -           | 电源        | PIN6       | +5V      | -           | 电源        |
| PIN7       | +5V      | -           | 电源        | PIN8       | +5V      | -           | 电源        |
| PIN9       | GND      | -           | 地         | PIN10      | GND      | -           | 地         |
| PIN11      | R0_9_N   | A15         | I/O       | PIN12      | R0_10_N  | A16         | I/O       |
| PIN13      | R0_9_P   | B15         | I/O       | PIN14      | R0_10_P  | B16         | I/O       |
| PIN15      | R0_1_N   | A13         | I/O       | PIN16      | R0_6_N   | C15         | I/O       |
| PIN17      | R0_1_P   | B13         | I/O       | PIN18      | R0_6_P   | C16         | I/O       |
| PIN19      | GND      | -           | 地         | PIN20      | GND      | -           | 地         |
| PIN21      | R0_2_N   | A11         | I/O       | PIN22      | R0_12_P  | E16         | I/O       |
| PIN23      | R0_2_P   | B11         | I/O       | PIN24      | R0_12_N  | E15         | I/O       |
| PIN25      | R0_0_N   | C11         | I/O       | PIN26      | R0_14_N  | F15         | I/O       |
| PIN27      | R0_0_P   | D11         | I/O       | PIN28      | R0_14_P  | F16         | I/O       |
| PIN29      | GND      | -           | 地         | PIN30      | GND      | -           | 地         |
| PIN31      | R0_4_N   | A12         | I/O       | PIN32      | R0_16_N  | G15         | I/O       |
| PIN33      | R0_4_P   | B12         | I/O       | PIN34      | R0_16_P  | G16         | I/O       |
| PIN35      | R0_11_P  | E10         | I/O       | PIN36      | R0_18_P  | H16         | I/O       |
| PIN37      | R0_11_N  | F10         | I/O       | PIN38      | R0_18_N  | H15         | I/O       |
| PIN39      | GND      | -           | 地         | PIN40      | GND      | -           | 地         |
| PIN41      | R1_3_N   | K15         | I/O       | PIN42      | R1_4_N   | L16         | I/O       |
| PIN43      | R1_3_P   | K16         | I/O       | PIN44      | R1_4_P   | L15         | I/O       |
| PIN45      | R0_8_N   | C13         | I/O       | PIN46      | GND      | -           | 地         |
| PIN47      | R0_8_P   | D13         | I/O       | PIN48      | R1_7_N   | M15         | I/O       |
| PIN49      | R0_15_N  | J13         | I/O       | PIN50      | R1_7_P   | M16         | I/O       |
| PIN51      | GND      | -           | 地         | PIN52      | GND      | -           | 地         |
| PIN53      | R0_15_P  | J14         | I/O       | PIN54      | R1_9_N   | N15         | I/O       |
| PIN55      | R0_3_N   | E13         | I/O       | PIN56      | R1_9_P   | N16         | I/O       |
| PIN57      | R0_3_P   | F13         | I/O       | PIN58      | GND      | -           | 地         |

|       |          |     |     |       |          |     |     |
|-------|----------|-----|-----|-------|----------|-----|-----|
| PIN59 | R0_13_P  | H13 | I/O | PIN60 | R1_10_N  | P15 | I/O |
| PIN61 | R0_13_N  | H14 | I/O | PIN62 | R1_10_P  | P16 | I/O |
| PIN63 | GND      | -   | 地   | PIN64 | GND      | -   | 地   |
| PIN65 | R1_1_N   | J15 | I/O | PIN66 | R1_11_N  | R16 | I/O |
| PIN67 | R1_1_P   | J16 | I/O | PIN68 | R1_11_P  | R15 | I/O |
| PIN69 | R1_0_N   | K13 | I/O | PIN70 | GND      | -   | 地   |
| PIN71 | R1_0_P   | K14 | 空脚  | PIN72 | R1_12_N  | T15 | I/O |
| PIN73 | NC       | -   | 空脚  | PIN74 | R1_12_P  | T16 | I/O |
| PIN75 | GND      | -   | 地   | PIN76 | GND      | -   | 地   |
| PIN77 | FPGA_TDI | H8  | O   | PIN78 | FPGA_TCK | H9  | O   |
| PIN79 | FPGA_TMS | J9  | O   | PIN80 | FPGA_TDO | J8  | I   |

图 2-7-2 为 CON2 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

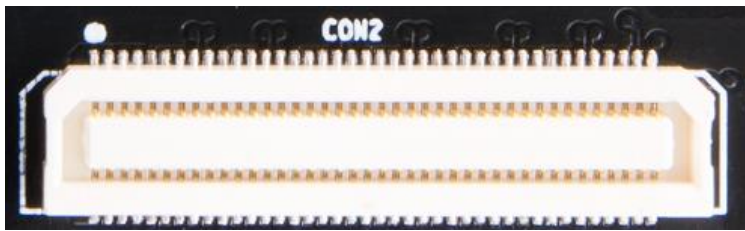


图 2-7-2 CON2 扩展口连接器的实物图

## (八) 电源

AXP12 核心板供电电压为+5V，需通过连接器 CON2 供电，连接底板时通过底板供电。板上的电源设计示意图如下图 2-8-1 所示：

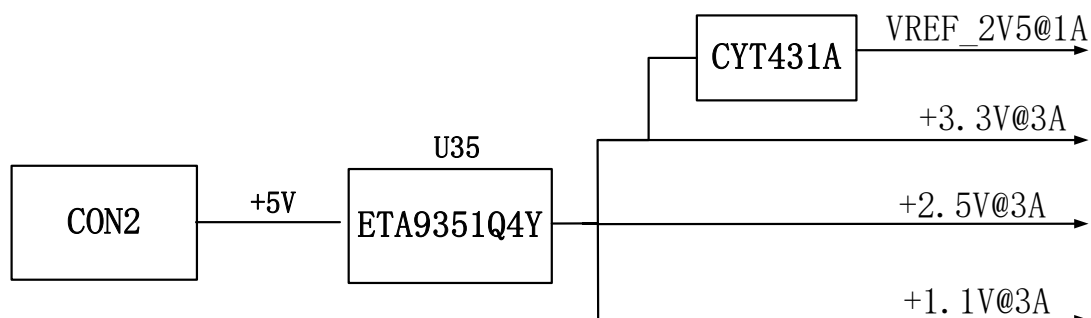


图 2-8-1 原理图中电源接口部分

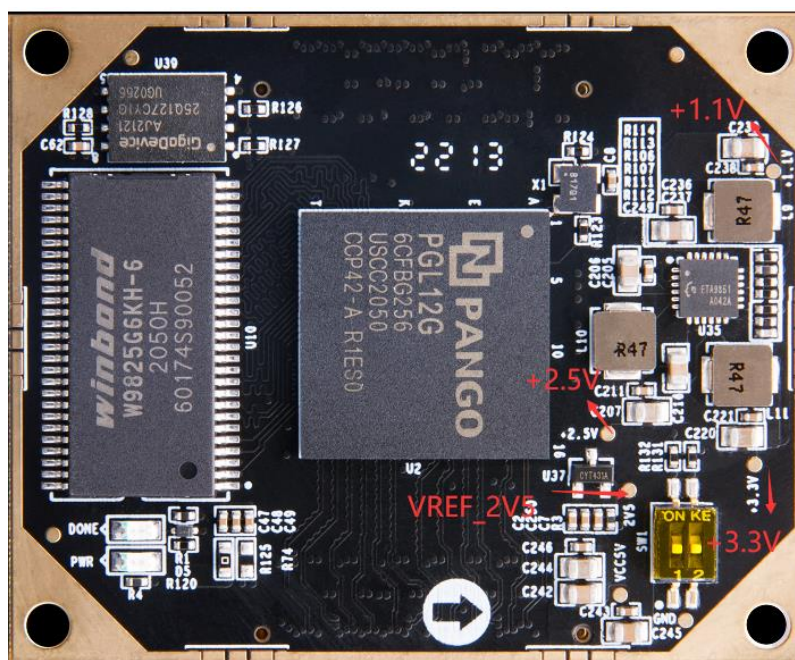
核心板通过+5V 供电，通过 3 路 DC/DC 电源芯片 ETA9351Q4Y 转化成+3.3V，+2.5V，+1.1V 3 路电源，3 路输出电流可高达 3A。+1.1V 给 FPGA 内核供电，+3.3V 主要是对 FPGA 的 L0、L1 和 R0 进行供电，而 BANK R1 的电压则可以是+2.5V 或 3.3V，用户可以通过跳选

电阻进行，VREF\_2V5 为 FPGA 的内部 AD 的外部电源。各个电源分配的功能如下表所示：

各个电源分配的功能如下表所示：

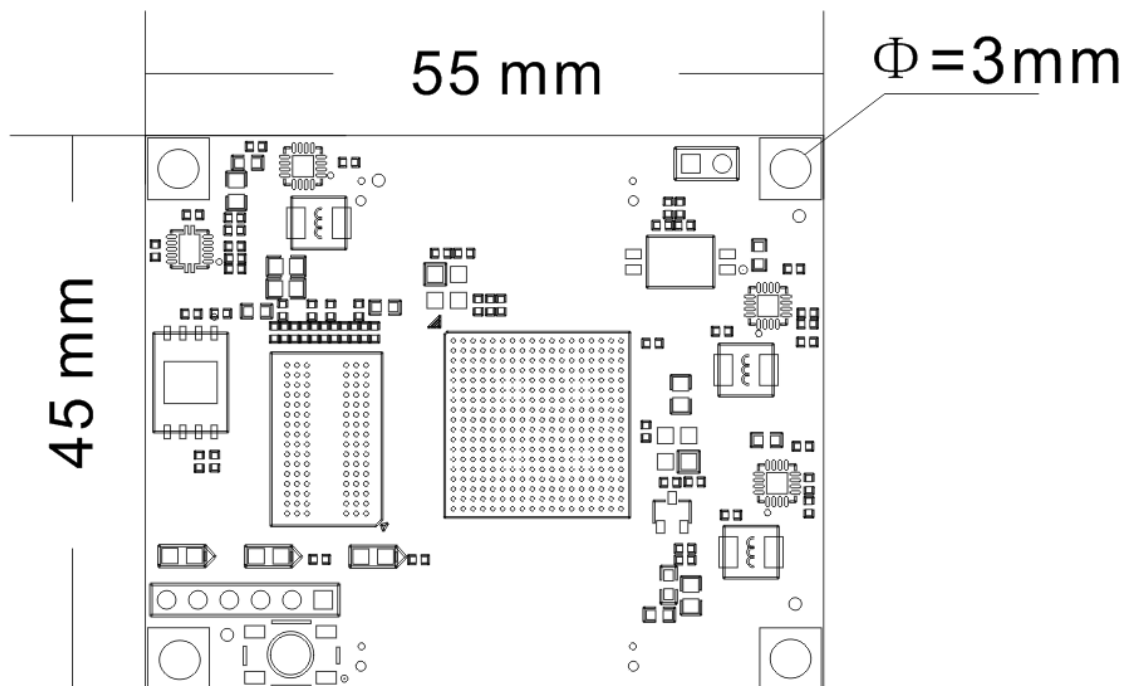
| 电源       | 功能                                               |
|----------|--------------------------------------------------|
| +3.3V    | FPGA Bank L0,L1R0, QSIP FLASH,<br>Clock 晶振, 辅助电压 |
| +2.5V    | BANK R1 可选电压                                     |
| +1.1V    | FPGA 的核心电压                                       |
| VREF_2V5 | FPGAAD 参考电源                                      |

AXP12 核心板的电源电路在板上的分别实物图所下图 2-8-2 所示。



2-8-2 核心板电源部分实物图

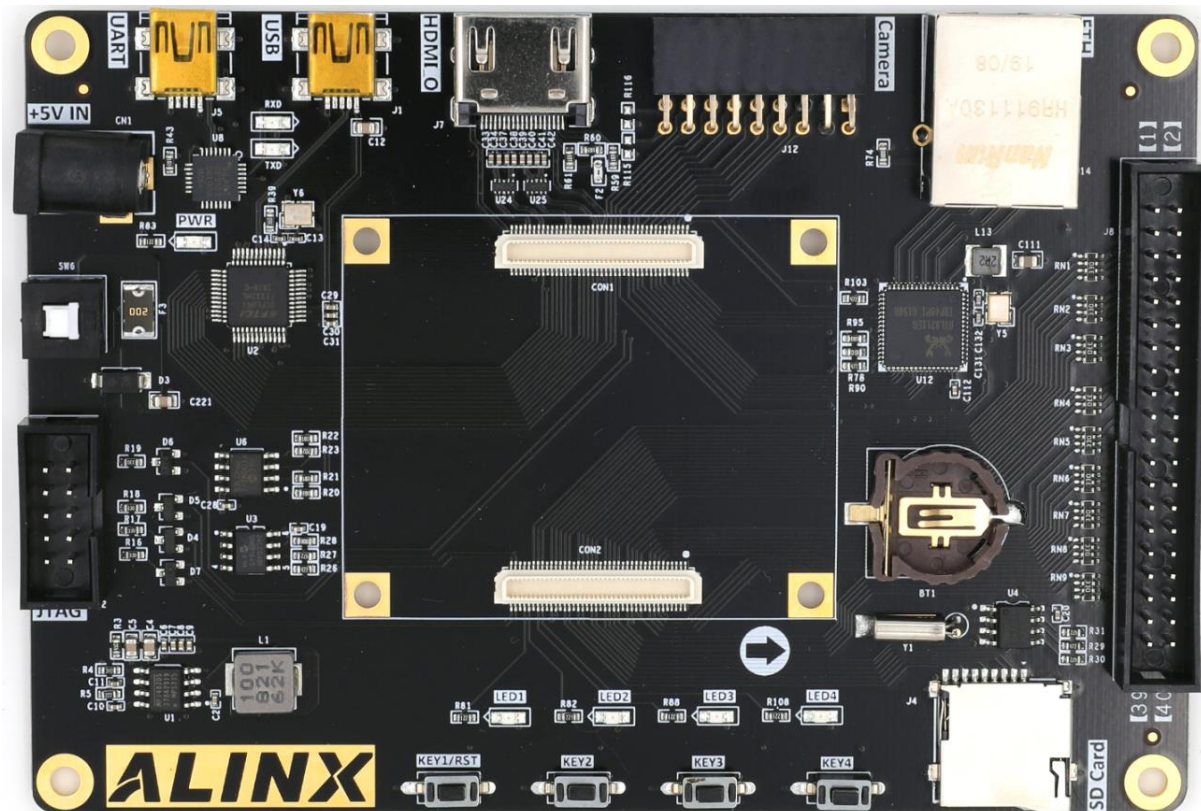
## (九) 结构图



正面图 (Top View)



### 三、 扩展板



#### (一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 一路 10/100M/1000M 以太网 RJ-45 接口
- 一路 HDMI 视频输出接口
- 一路 USB2.0 通信接口
- 一路 USB Uart 通信接口
- SD 卡接口
- RTC 实时时钟
- EEPROM
- 一个 40 针扩展口
- 一个摄像头接口
- JTAG 调试口
- 4 个独立按键
- 4 个用户 LED 灯

(二) 千兆以太网接口

开发板上通过 Realtek RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率, 通过 RGMII 接口跟 FPGA 进行数据通信。RTL8211EG 支持MDI/MDX 自适应, 各种速度自适应, Master/Slave 自适应, 支持 MDIO 总线进行 PHY 的寄存器管理。

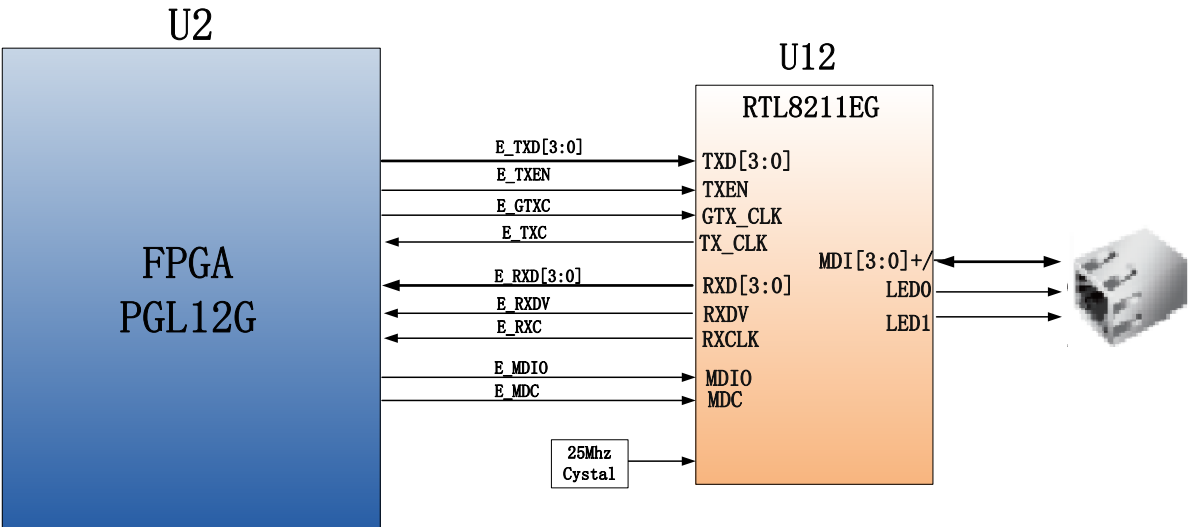
RTL8211EG 上电会检测一些特定的 IO 的电平状态, 从而确定自己的工作模式。下表描述了 GPHY 芯片上电之后的默认设定信息。

| 配置 Pin 脚   | 说明                      | 配置值               |
|------------|-------------------------|-------------------|
| PHYAD[2:0] | MDIO/MDC 模式的 PHY 地址     | PHY Address 为 001 |
| SELRGV     | 3.3V,2.5V,1.5/1.8V 电压选择 | 3.3V              |
| AN[1:0]    | 自协商配置                   | (10/100/1000M)自适应 |
| RX Delay   | RX 时钟 2ns 延时            | 延时                |
| TX Delay   | TX 时钟 2ns 延时            | 延时                |
| MODE       | RGMII 或 GMII 选择         | RGMII             |

当网络连接到千兆以太网时, FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 RGMII 总线通信, 传输时钟为 125Mhz,数据在时钟的上升沿和下降沿采样。接收时钟 E\_RXC 由 PHY 芯片提供, 发送时钟 E\_GTXC 由 FPGA 提供, 数据在时钟的上升沿采样。

当网络连接到百兆以太网时, FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 MII 总线通信, 传输时钟为 25Mhz。接收时钟 E\_RXC 和发送时钟 E\_TXC 都由 PHY 芯片提供, 数据在时钟的上升沿采样。

图 3-2-1 为 FPGA 与以太网 PHY 芯片连接示意图:



图

3-2-1 FPGA 与 PHY 芯片连接示意图

图 3-2-2 为以太网 PHY 芯片的实物图

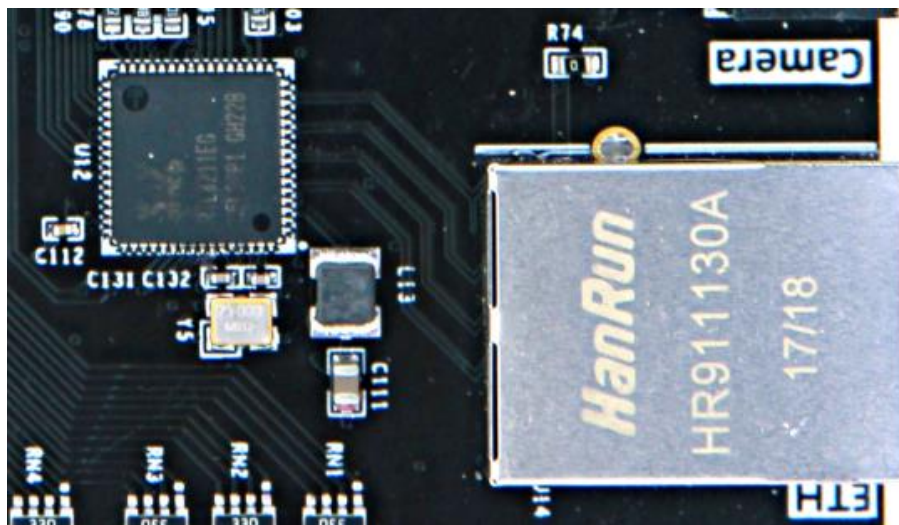


图 3-2-2 以太网 PHY 芯片实物图

以太网 PHY1 的 FPGA 引脚分配如下：

| 信号名称   | FPGA 引脚号 | 备注             |
|--------|----------|----------------|
| E_GTXC | A4       | RGMII 发送时钟     |
| E_TXD0 | E7       | 发送数据 bit 0     |
| E_TXD1 | F6       | 发送数据 bit1      |
| E_TXD2 | D7       | 发送数据 bit2      |
| E_TXD3 | C7       | 发送数据 bit3      |
| E_TXEN | B6       | 发送使能信号         |
| E_TXC  | B5       | 100M/10 时的发送时钟 |
| E_RXC  | A10      | RGMII 接收时钟     |
| E_RXD0 | A5       | 接收数据 Bit0      |
| E_RXD1 | J10      | 接收数据 Bit1      |
| E_RXD2 | A5       | 接收数据 Bit2      |
| E_RXD3 | J10      | 接收数据 Bit3      |
| E_RXDV | A5       | 接收数据有效信号       |
| E_MDC  | A5       | MDIO 管理时钟      |
| E_MDIO | J10      | MDIO 管理数据      |

### (三) HDMI 输出接口

HDMI 输出接口的实现，是通过 FPGA 的 4 路 LVDS 差分信号（3 路数据和一路时钟）接口直接驱动 HDMI 输出，为开发板提供不同格式的视频输出接口。

其中，HDMI 接口和 FPGA 之间的 LVDS 差分信号的连接使用 AC Couple 的模式，起到隔直的作用。另外在硬件设计上，每对 LVDS 差分信号上增加了 TVS 保护管，防止外面静电对 FPGA 的损坏。HDMI 输出接口的硬件连接如图 3-3-1 所示。

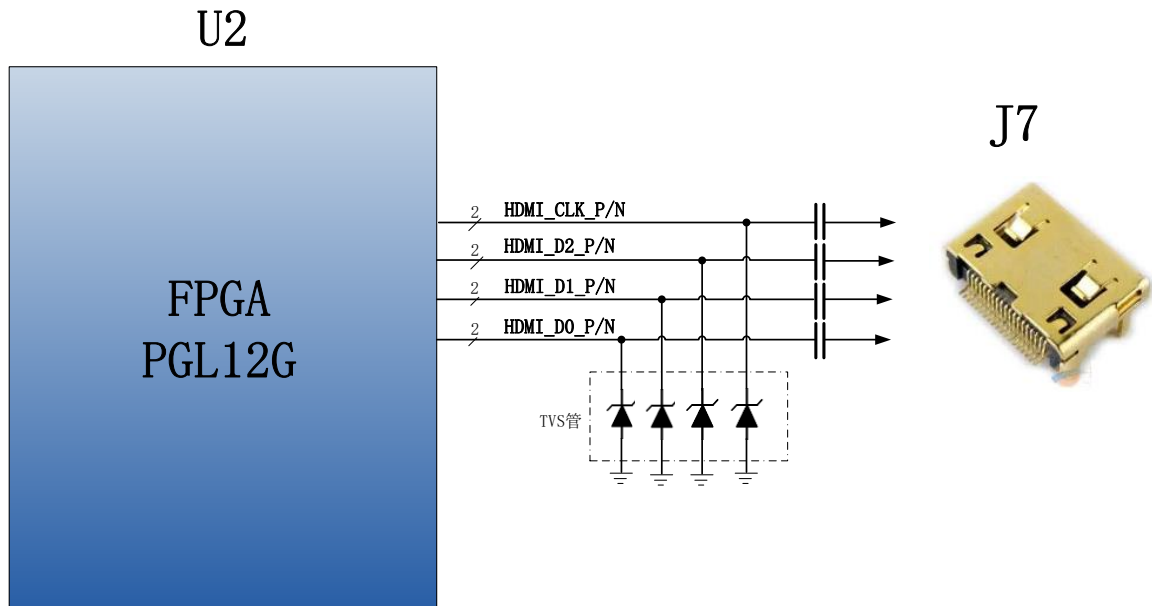


图 3-3-1 HDMI 输出接口原理图

HDMI 输出接口在扩展板的实物图如下图 3-3-2 所示:

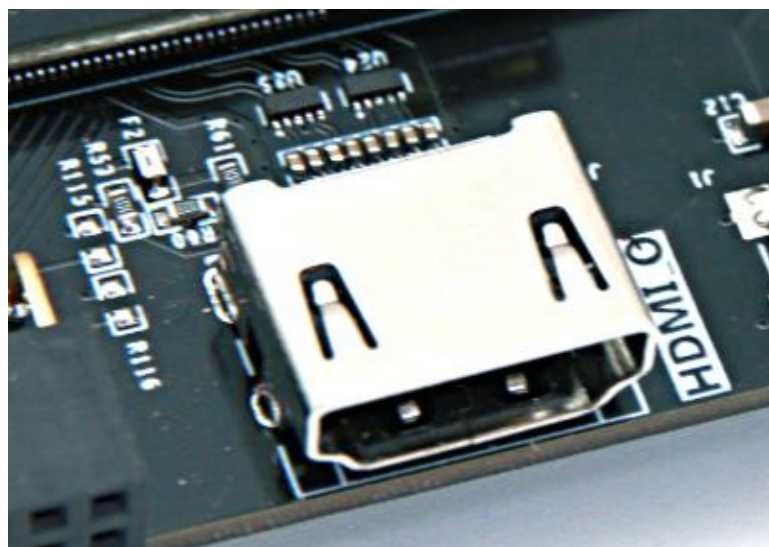


图 3-3-2 HDMI 输出接口实物图

FPGA 引脚分配:

| 引脚名称       | FPGA 引脚 |
|------------|---------|
| HDMI_CLK_N | L12     |
| HDMI_CLK_P | L11     |
| HDMI_D0_N  | P13     |
| HDMI_D0_P  | N13     |
| HDMI_D1_N  | T10     |
| HDMI_D1_P  | R10     |
| HDMI_D2_N  | T9      |
| HDMI_D2_P  | R9      |

#### (四) USB2.0 通信接口

我们采用了 FTDI Chip 公司的 FT232H 单通道高速 USB 芯片为开发板实现和电脑之间的 USB2.0 数据通信。最高 USB2.0 高速通信 (480Mb/s) 和全速通信 (12Mb/s)，数据接口支持不同的数据通信模式 (FIFO, I2C, SPI, JTAG)，上电后读取外置的 EEPROM 配置内容来决定数据通信模式，也可以通过 PC 方便的修改配置方式。USB 芯片的接口管脚的功能是复用的，具体请参考 FT232H 的芯片手册。

USB 芯片 FT232H 的数据接口信号与 FPGA 的 IO 相连, 通过 FPGA 的编程来对 FT232H 进行数据通信, FT232H 的硬件连接是按照 FT245 同步 FIFO 接口方式连接的。如图 3-4-1 所示。

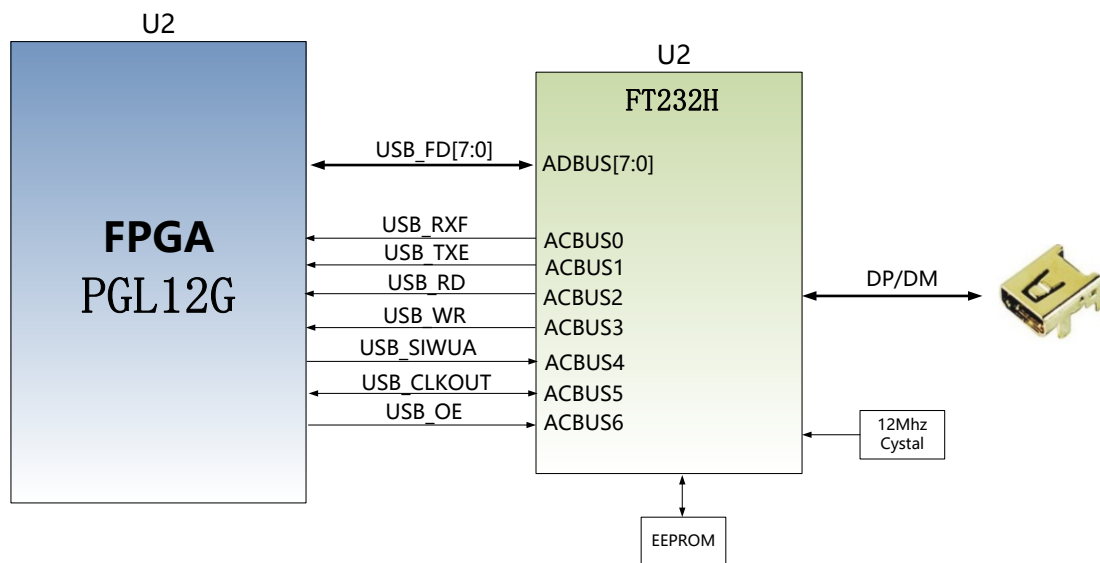


图 3-4-1 USB2.0 接口原理图

USB2.0 接口在扩展板的实物图如下图 3-4-2 所示:



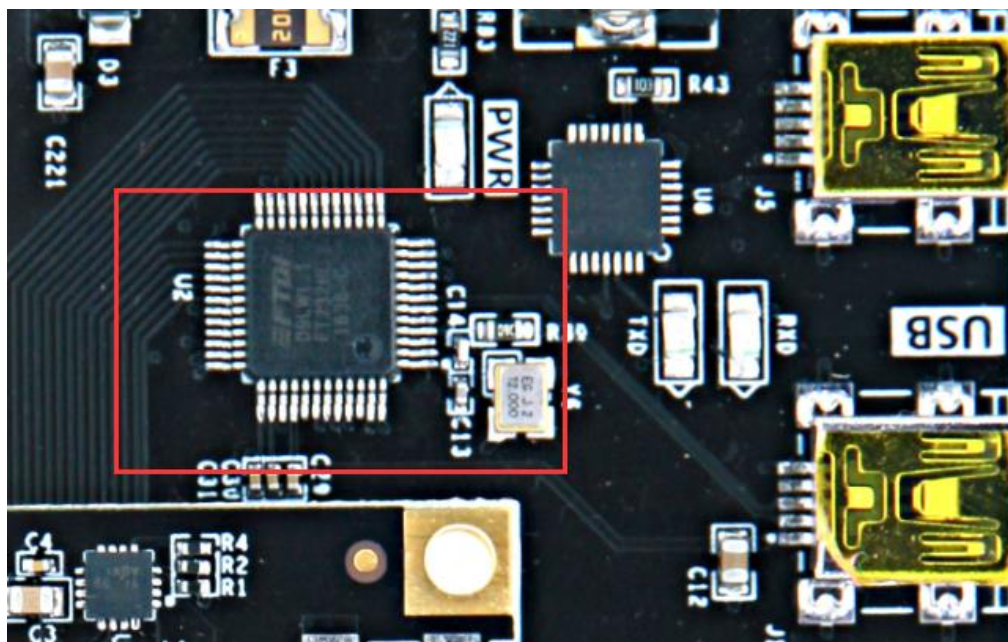


图 3-4-2 USB2.0 接口实物图

**FPGA 引脚分配:**

| 引脚名称       | FPGA 引脚 | 说明                 |
|------------|---------|--------------------|
| USB_FD0    | H10     | USB2.0 的数据 bit0    |
| USB_FD1    | G10     | USB2.0 的数据 bit1    |
| USB_FD2    | G11     | USB2.0 的数据 bit2    |
| USB_FD3    | J11     | USB2.0 的数据 bit3    |
| USB_FD4    | J12     | USB2.0 的数据 bit4    |
| USB_FD5    | K12     | USB2.0 的数据 bit5    |
| USB_FD6    | K11     | USB2.0 的数据 bit6    |
| USB_FD7    | L13     | USB2.0 的数据 bit7    |
| USB_RXF    | L14     | 低表示接收 FIFO 数据可读    |
| USB_TXE    | T12     | 低表示发送 FIFO 数据可以写   |
| USB_RD     | R12     | 数据接收 FIFO 读信号, 低有效 |
| USB_WR     | T11     | 数据发送 FIFO 写信号, 低有效 |
| USB_SIWUA  | R11     | 立刻发送/唤醒功能          |
| USB_CLKOUT | R13     | 60MHz 的时钟输出        |
| USB_OE     | T14     | USB 数据输出使能         |

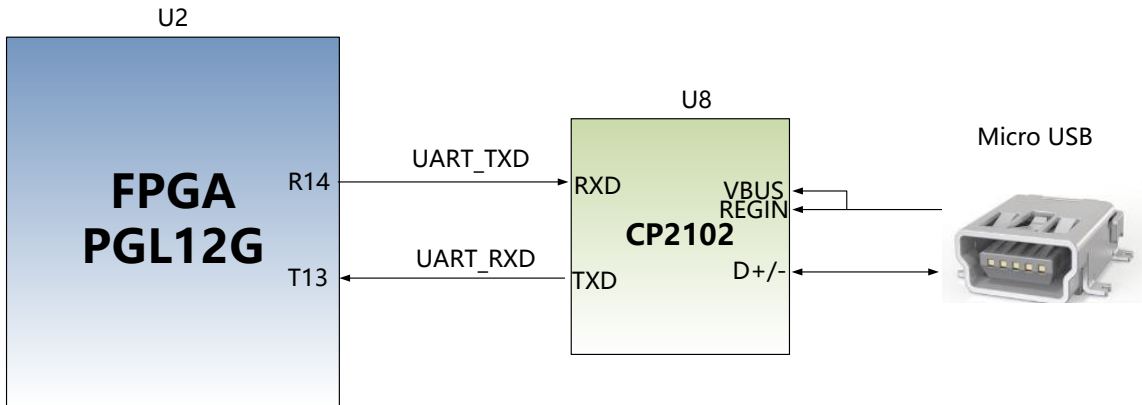




| SPI 模式      |         |
|-------------|---------|
| 引脚名称        | FPGA 引脚 |
| SD_CLK      | N15     |
| SD_CS       | M15     |
| SD_DATA_IN  | M16     |
| SD_DATA_OUT | N16     |

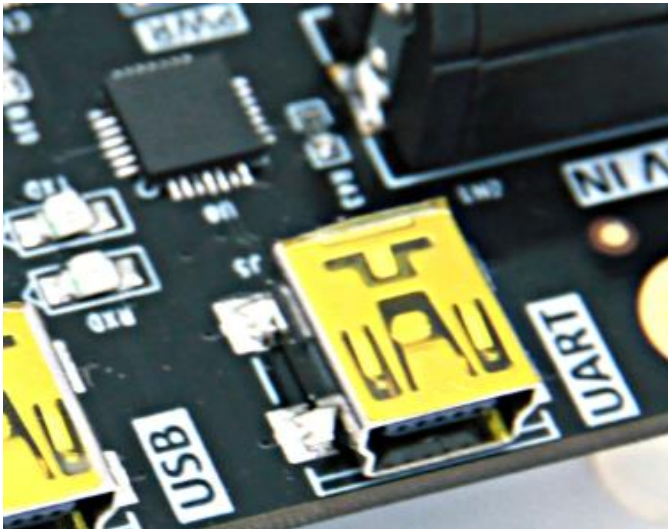
(六) USB 转串口

AXP12 开发板包含了 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口, 可以用一根 USB 线将它连接到上 PC 的 USB 口进行串口数据通信 。  
USB Uart 电路设计的示意图如下图所示:



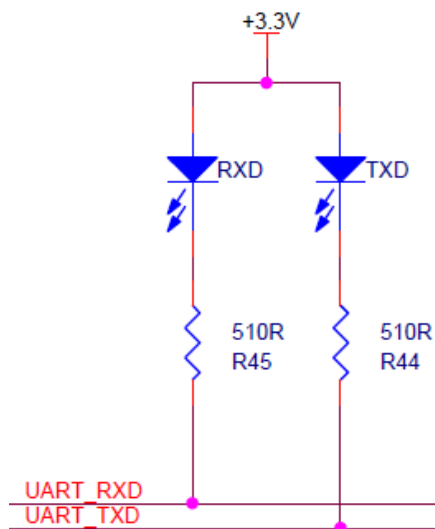
3-6-1 USB 转串口示意图

下图为 USB 转串口的实物图



3-6-2 USB 转串口实物图

同时对串口信号设置了 2 个 PCB 上丝印为 TXD 和 RXD 的 LED 指示灯，TXD 和 RXD LED 灯会指示串口是否有数据发出或者是否有数据接受，如下图所示，



3-7-3 USB 转串口信号指示灯

UART 转串口的 FPGA 引脚分配:

| 引脚名称     | FPGA 引脚 |
|----------|---------|
| UART_RXD | T13     |
| UART_TXD | R14     |

## (七) EEPROM 24LC04

AXP12 开发板板载了一片 EEPROM，型号为 24LC04,容量为：4Kbit (2\*256\*8bit)，由 2 个 256byte 的 block 组成,通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 的 I2C 信号连接的 FPGA 的 IO 口上。下图 3-7-1 为 EEPROM 的设计示意图

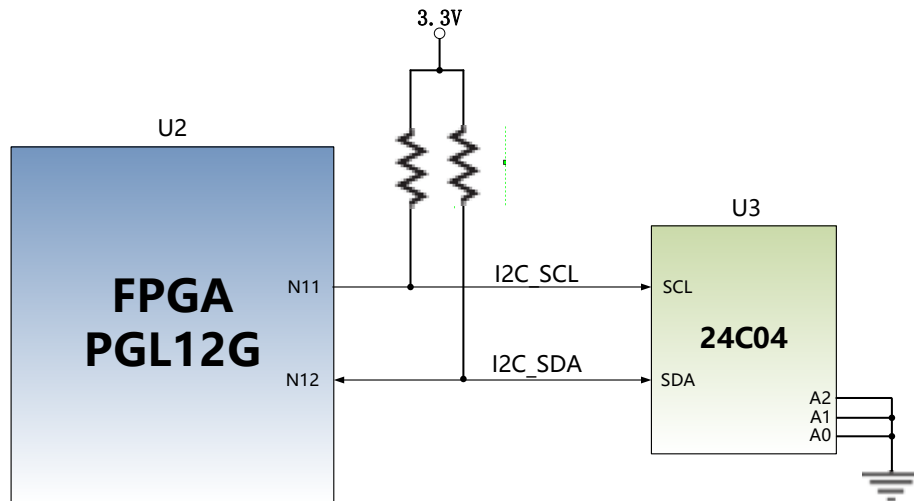


图 3-7-1 EEPROM 原理图部分

下图为 EEPROM 实物图

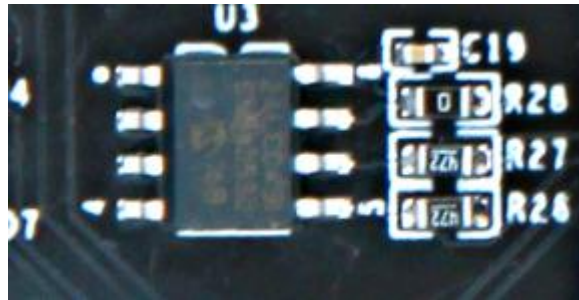


图 3-7-2 EEPROM 实物图

EEPROM 引脚分配:

| 引脚名称    | FPGA 引脚 |
|---------|---------|
| I2C_SCL | N11     |
| I2C_SDA | N12     |

## (八) 实时时钟 DS1302

开发板板载了一片实时时钟 RTC 芯片, 型号 DS1302, 他的功能是提供到 2099 年内的日历功能, 年月日时分秒还有星期。如果系统中需要时间的话, 那么 RTC 就需要涉及到产品中。他外部需要接一个 32.768KHz 的无源时钟, 提供精确的时钟源给时钟芯片, 这样才能让 RTC 可以准确的提供时钟信息给产品。同时为了产品掉电以后, 实时时钟还可以正常运行, 一般需要另外配一个电池给时钟芯片供电, 图 3-8-2 中为 BT1 为电池座, 我们将纽扣电池 (型号 CR1220, 电压为 3V) 放入以后, 当系统掉电, 纽扣电池还可以给 DS1302 供电, 这样,

不管产品是否供电，DS1302 都会正常运行，不会间断，可以提供持续不断的时间信息。RTC 的接口信号也是连接到 FPGA 的 IO 口上。图 3-8-1 为 DS1302 设计示意图：

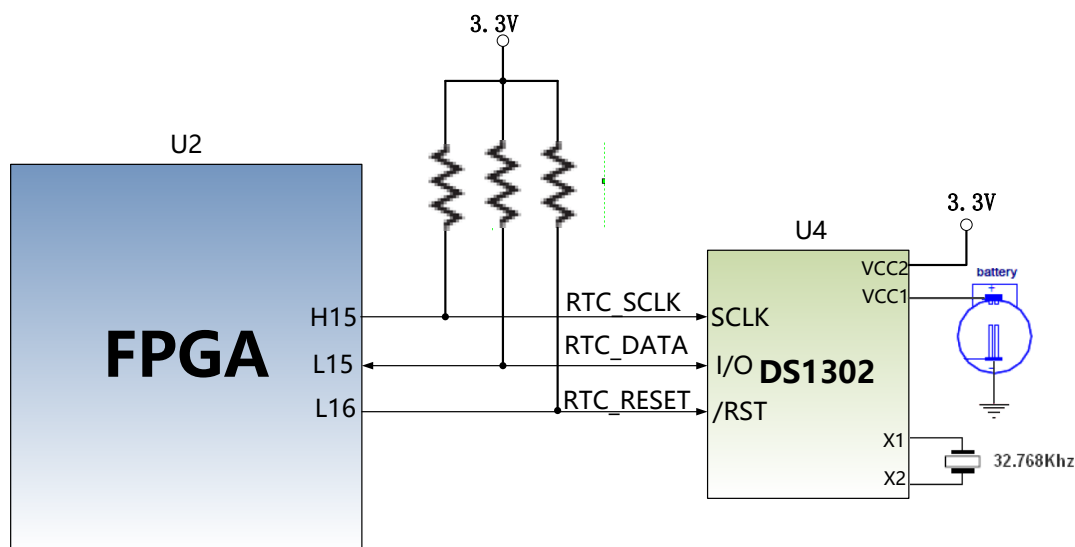


图 3-8-1 DS1302 设计示意图

图 3-8-2 为 DS1302 实物图

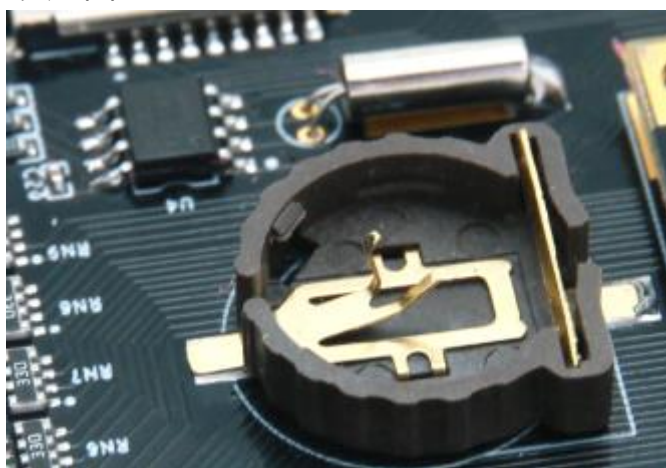


图 3-8-2 DS1302 实物图

DS1302 接口引脚分配：

| 引脚名称      | FPGA 引脚 |
|-----------|---------|
| RTC_SCLK  | H15     |
| RTC_SDAT  | L15     |
| RTC_RESET | L16     |

## (九) 扩展口

扩展板预留 1 个 2.54mm 标准间距的 40 针的扩展口 J8，用于连接各个模块或者用户自

己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。**

在扩展口和 FPGA 连接之间串联了 33 欧姆的排阻，用于保护 FPGA 以免外界电压或电流过高造成损坏，扩展口(J8)的电路如下图 3-9-1 所示

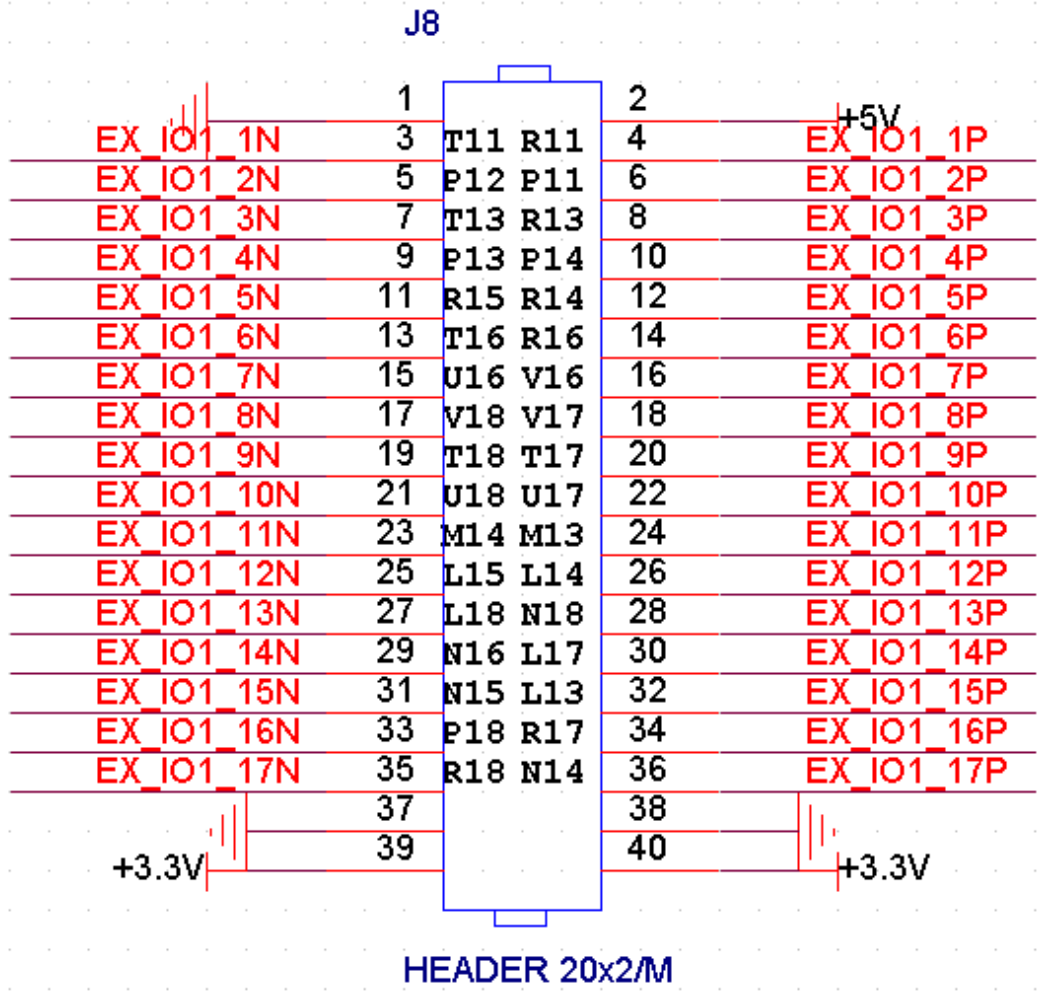


图 3-9-1 扩展口 J8 原理图

下图为 J8 扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。

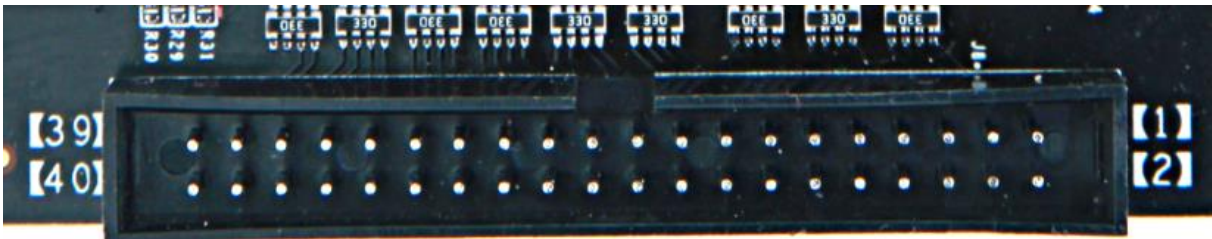


图 3-9-2 扩展口 J8 实物图

J8 扩展口 FPGA 的引脚分配

| 引脚编号 | FPGA 引脚 | 引脚编号 | FPGA 引脚 |
|------|---------|------|---------|
| 1    | GND     | 2    | +5V     |
| 3    | J16     | 4    | K13     |
| 5    | H14     | 6    | J15     |
| 7    | F13     | 8    | H13     |
| 9    | J14     | 10   | E13     |
| 11   | D13     | 12   | J13     |
| 13   | K16     | 14   | C13     |
| 15   | F10     | 16   | K15     |
| 17   | B12     | 18   | E10     |
| 19   | D11     | 20   | A12     |
| 21   | B11     | 22   | C11     |
| 23   | B13     | 24   | A11     |
| 25   | B15     | 26   | A13     |
| 27   | A16     | 28   | A15     |
| 29   | C15     | 30   | B16     |
| 31   | C16     | 32   | E16     |
| 33   | F16     | 34   | G15     |
| 35   | G16     | 36   | H16     |
| 37   | GND     | 38   | GND     |
| 39   | +3.3V   | 40   | +3.3V   |

## (十) JTAG 接口

开发板预留了一个标准的 10 针 2.54mm 间距的 JTAG 接口, 用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏, 我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围, 避免 FPGA 的损坏。



## JTAG Connector

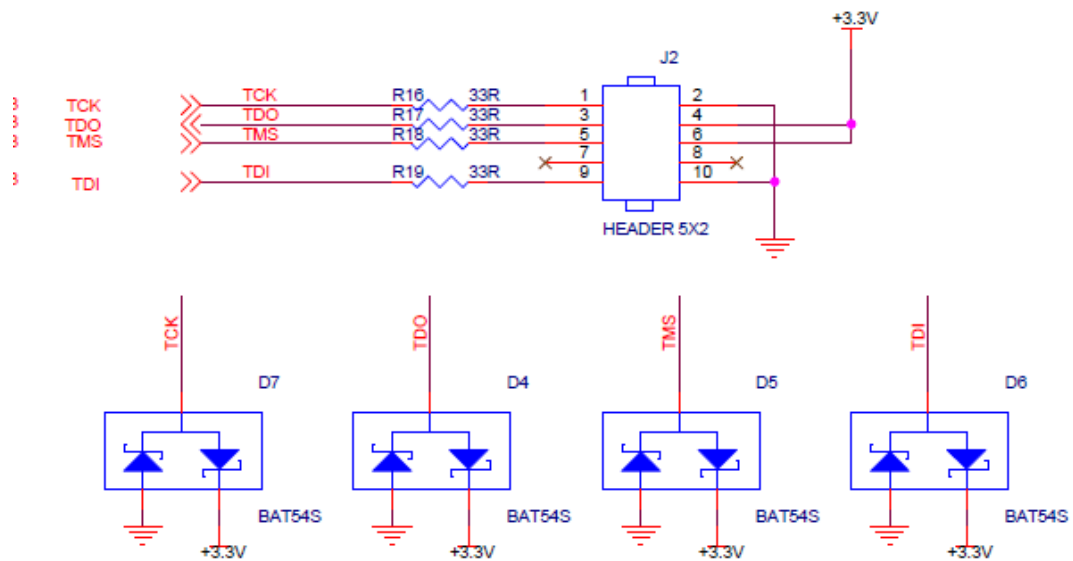


图 3-10-1 JTAG 接口原理图

下图为扩展板上 JTAG 接口实物图，JTAG 线插拔的时候注意不要热插拔。

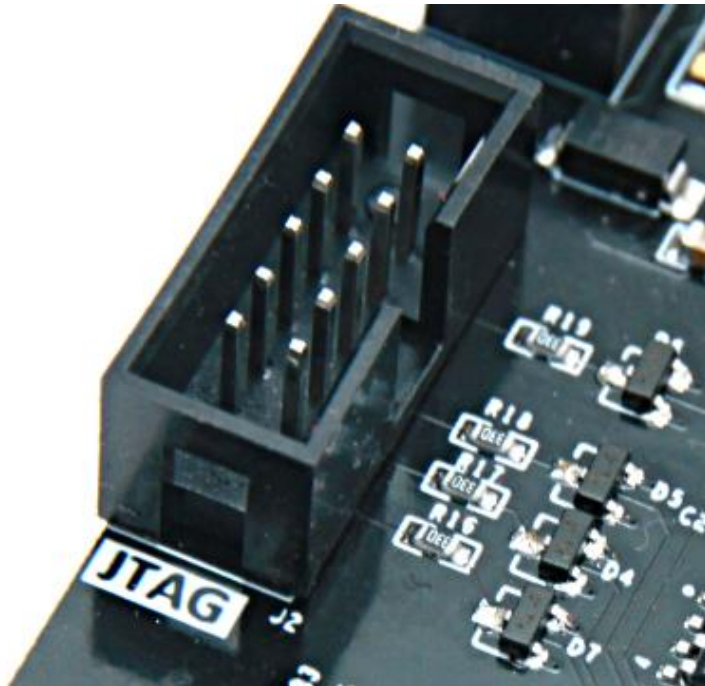


图 3-10-2 JTAG 接口实物图

## (十一) 摄像头接口

开发板包含了一个 18 针的 CMOS 摄像头接口，用于连接 OV5640 摄像头模块，可以实现视频采集功能，采集以后，可以通过 HDMI 或者 VGA 接口连接显示器进行显示。关于摄像头选择，用户可以根据自己实际需要进行选购，但接口不接摄像头的时候，可以作为 FPGA 普通 IO 口使用。

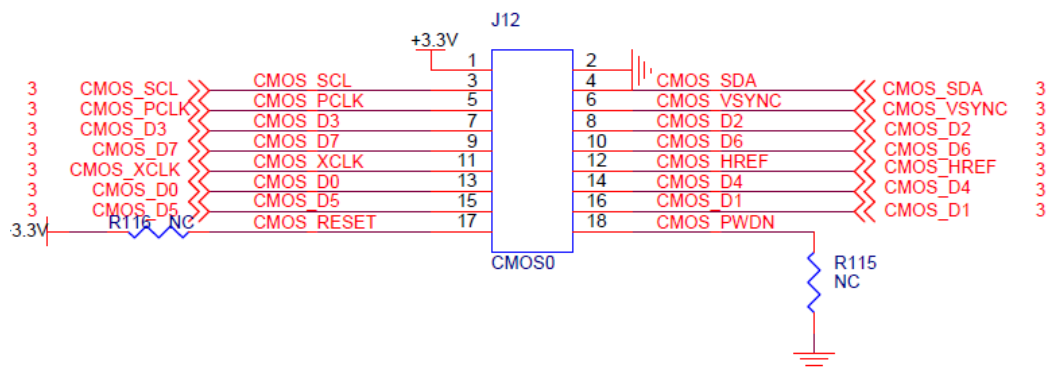


图 3-11-1 CMOS 摄像头接口原理图

下图为扩展板上摄像头接口实物图，

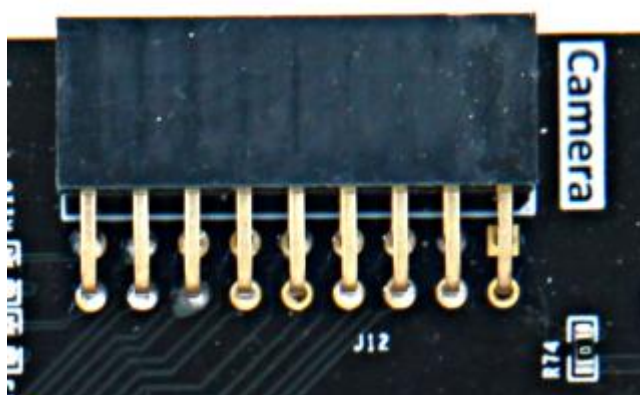


图 3-11-2 CMOS 摄像头接口实物图

下表为连接 500 万 CMOS 摄像头(AN5640 模组)的 FPGA 引脚分配：

| 引脚名称      | FPGA 引脚 |
|-----------|---------|
| CMOS_D0   | F5      |
| CMOS_D1   | H6      |
| CMOS_D2   | E3      |
| CMOS_D3   | E4      |
| CMOS_D4   | G5      |
| CMOS_D5   | G6      |
| CMOS_D6   | F3      |
| CMOS_D7   | F4      |
| CMOS_HREF | D4      |
| CMOS_PCLK | B2      |
| CMOS_SCL  | C1      |

|            |    |
|------------|----|
| CMOS_SDA   | C2 |
| CMOS_VSYNC | A2 |
| CMOS_XCLK  | C4 |
| CMOS_RESET | -  |
| CMOS_PWDN  | -  |

(十二) 按键

扩展板上含有 4 个用户按键 KEY1~KEY4, 其中 KEY1/RST 按键为后续程序中会用到的复位按键, 与其他三个按键无本质区别, 四个按键都连接到 FPGA 的普通的 IO 上, 按键低电平有效, 当按键按下, FPGA 的 IO 输入电压为低, 当没有按键按下时, FPGA 的 IO 输入电压为高。按键部分电路如下图 3-12-1 所示

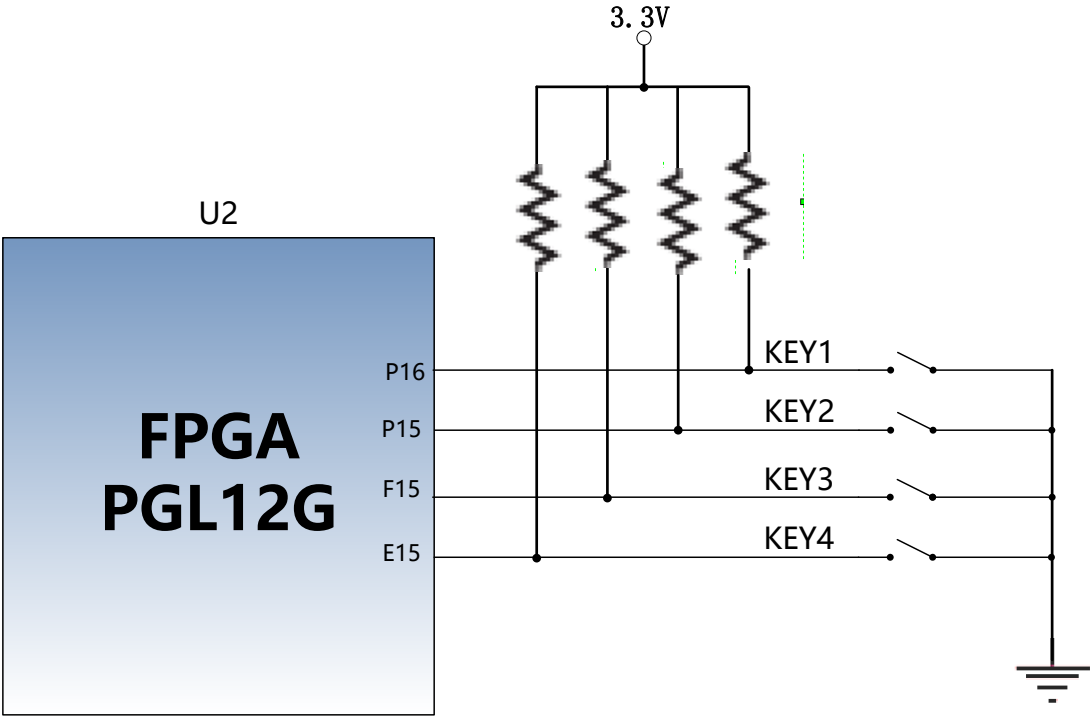


图 3-12-1 按键硬件设计示意图

图 3-12-2 为扩展板上 4 个用户按键实物图

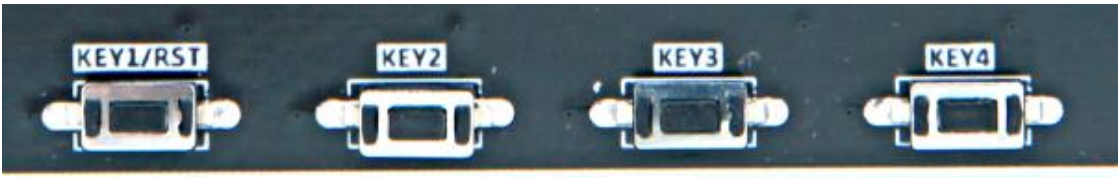


图 3-12-2 按键实物图

按键 FPGA 引脚分配:

| 引脚名称 | FPGA 引脚 |
|------|---------|
| KEY1 | P16     |
| KEY2 | P15     |
| KEY3 | F15     |
| KEY4 | E15     |

### (十三) LED 灯

扩展板上有 7 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，2 个是 USB Uart 的数据接收和发送指示灯，4 个是用户 LED 灯 (LED1~LED4)。当开发板供电后，电源指示灯会亮起。用户 LED1~LED4 连接到 FPGA 的普通 IO，当连接用户 LED 灯的 IO 电压配置为低电平时，用户 LED 灯点亮，当连接 IO 电压为配置为高电平时，用户 LED 会被熄灭。

LED 灯硬件连接的示意图如图 3-13-1 所示

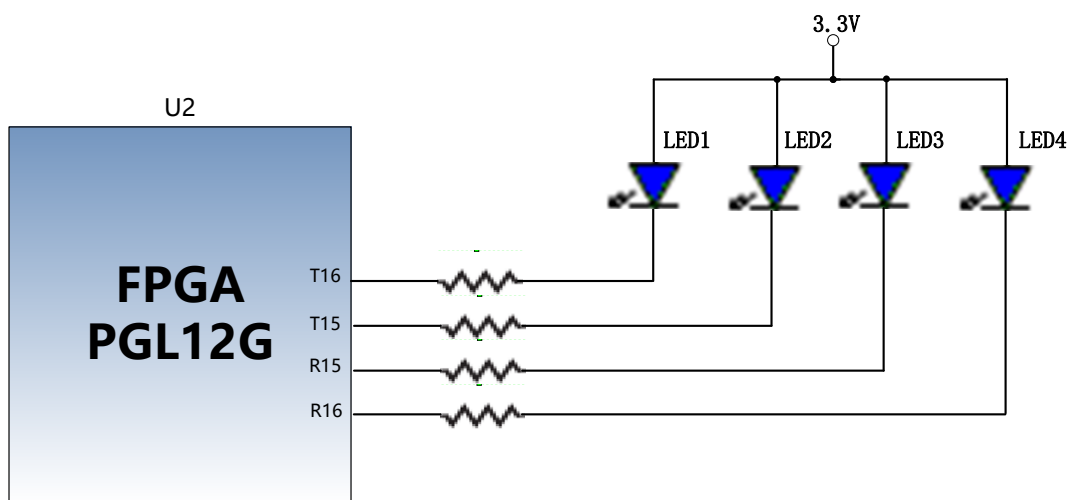


图 3-13-1 LED 灯硬件设计示意图

图 3-14-2 为扩展板上 4 个用户 LED 灯实物图



图 3-13-2 用户 LED 灯实物图

LED 灯 FPGA 引脚分配:

| 引脚名称 | FPGA 引脚 |
|------|---------|
|------|---------|

|      |     |
|------|-----|
| LED1 | T16 |
| LED2 | T15 |
| LED3 | R15 |
| LED4 | R16 |

(十四) 供电电源

开发板的电源输入电压为+5V，请使用开发板自带的电源,不要用其他规格电源，以免损坏开发板。扩展板上通过 1 路 DC/DC 电源芯片 MP1482 把+5V 电压转化成 +3.3V 电源。另外扩展板上的+5V 电源通过板间连接器给核心板供电，扩展上的+3.3V 电源设计如下图 3-14-1 所示:

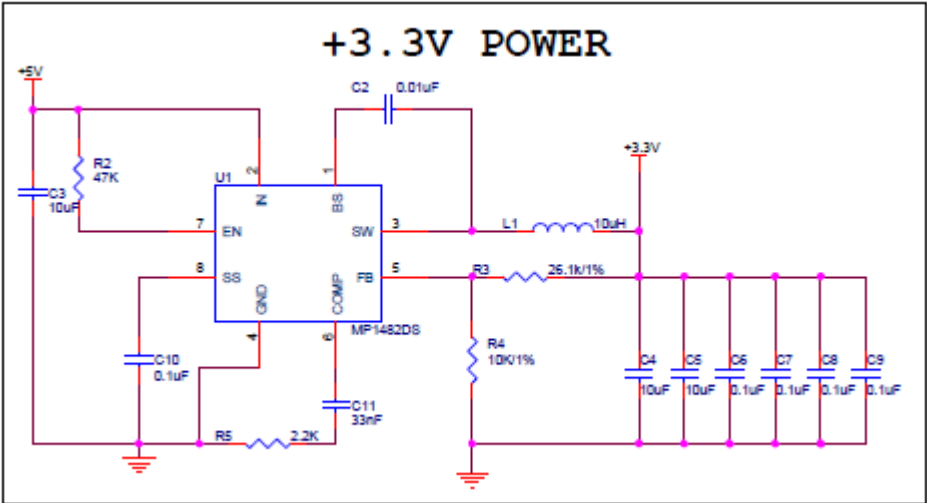


图 3-14-1 扩展板电源原理图

图 3-14-2 为扩展板上电源电路的实物图

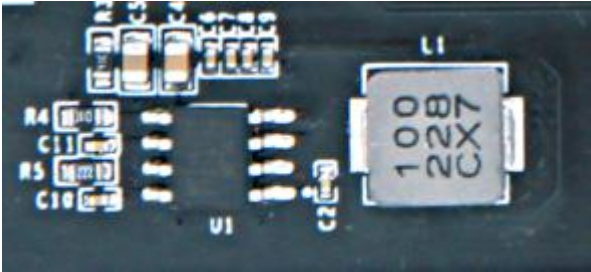


图 3-14-2 扩展板电源电路实物图

## (十五) 结构图

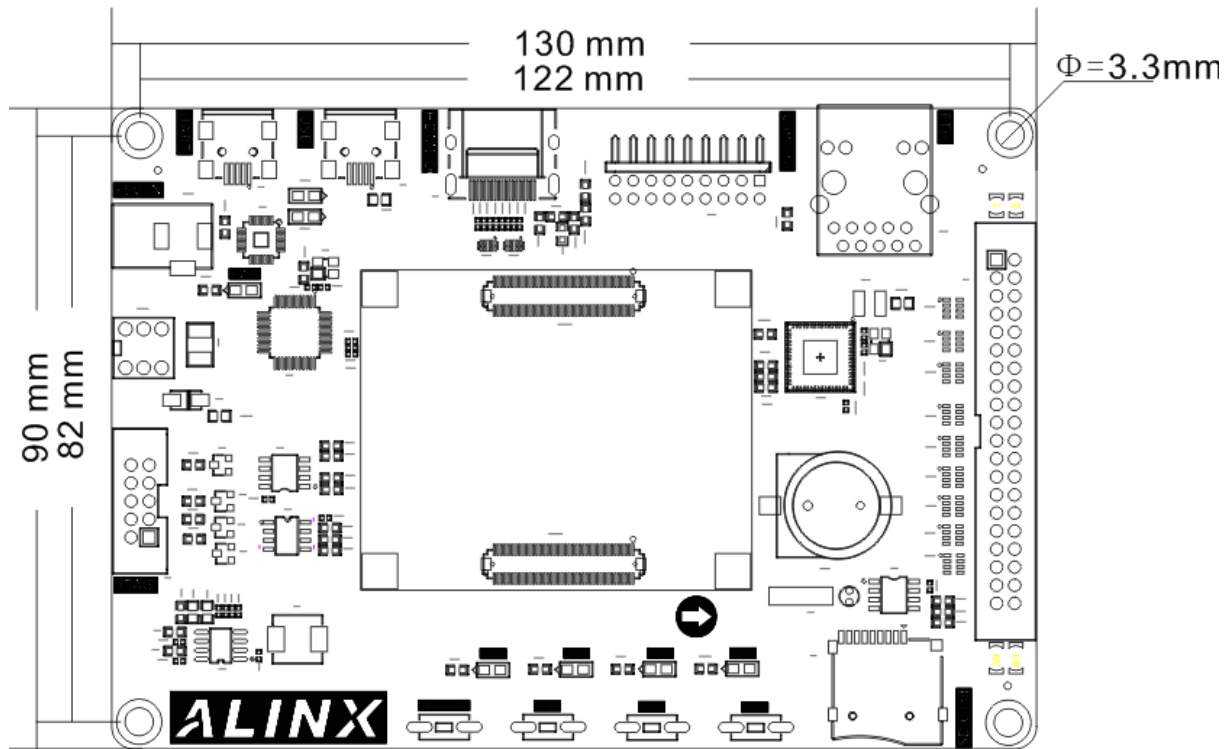


图 3-15-1 底板结构正面图 (Top View)